

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-080071
 (43)Date of publication of application : 27.03.2001

(51)Int.CI.

B41J 2/045
 B41J 2/055
 B41J 2/51
 B41J 2/485

(21)Application number : 11-259813

(22)Date of filing : 14.09.1999

(71)Applicant : SEIKO EPSON CORP

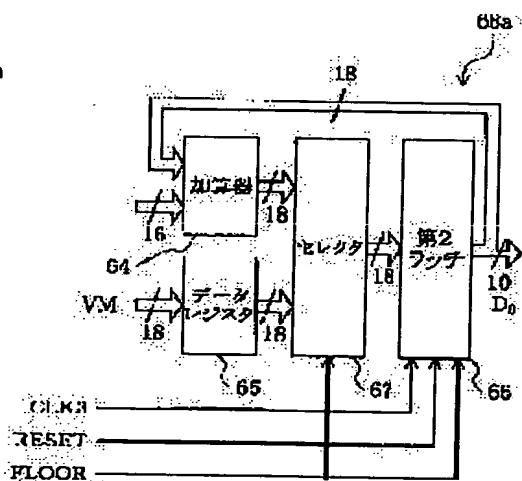
(72)Inventor : FUKANO TAKAKAZU
 YOSHIDA MASAHIKO
 ASAUCHI NOBORU
 TAMURA NOBORU
 KATAYAMA TOSHIHIKO

(54) PRINTING APPARATUS AND APPARATUS AND METHOD FOR GENERATING DRIVING WAVEFORM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent errors from being accumulated by setting the cumulative result of a plurality of bits to be a predetermined set value so that all of the other lower bits than specific upper bits become zero.

SOLUTION: Upper 10 bits among a set value of 18 bits set to a data register 65 are set to be equal to a starting level VM of a driving waveform, and lower 8 bits are all set to be zero. In other words, a floor signal FLOOR is inputted to a second latch 66 and a selector 67, whereby the selector 67 selects data of the 18 bits of the data register 65 and the second latch 66 holds the data. In consequence, data of the 18 bits stored in the second latch 66 is forcibly reloaded to the set value with the upper 10 bits being equalized to the starting level VM and the lower bits being zero.



LEGAL STATUS

[Date of request for examination] 30.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51) Int.Cl.⁷
 B 4 1 J 2/045
 2/055
 2/51
 2/485

識別記号

F I
 B 4 1 J 3/04
 3/10
 3/12

テマコード* (参考)
 1 0 3 A 2 C 0 5 7
 1 0 1 F 2 C 0 6 2
 C

審査請求 未請求 請求項の数9 O.L. (全10頁)

(21)出願番号 特願平11-259813
 (22)出願日 平成11年9月14日 (1999.9.14)

(71)出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 深野 孝和
 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
 (72)発明者 吉田 昌彦
 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
 (74)代理人 100096817
 弁理士 五十嵐 孝雄 (外3名)

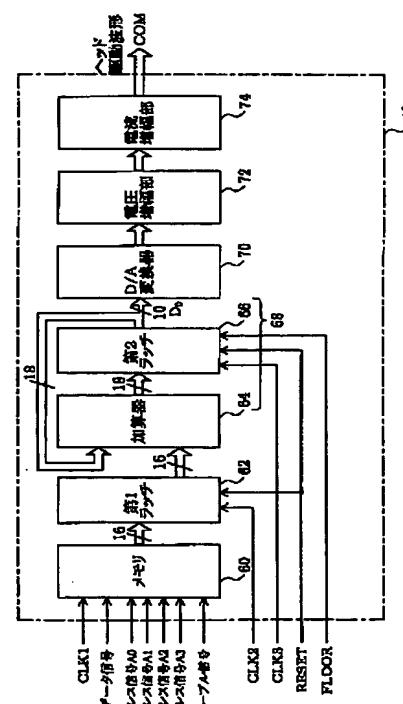
最終頁に続く

(54)【発明の名称】 印刷装置および駆動波形生成装置、駆動波形生成方法

(57)【要約】

【課題】 印刷ヘッドの駆動素子を駆動させるための駆動波形の生成において、駆動波形データの累積誤差による所望の駆動波形からのずれを防止する。

【解決手段】 駆動波形生成回路の累算部における複数ビットの累算結果を、フロア信号を用いて所定の設定タイミングにおいて特定の上位ビットで表される値がゼロではなく、特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する。この際、特定の上位ビット以外の下位ビットをクリアしてもよい。また、前記所定の設定タイミングは、駆動波形の1周期の始端と終端に相当するタイミングとしてもよい。



(2)

2

【特許請求の範囲】

【請求項 1】 印刷すべき画像の印刷信号に基づいて、記録媒体上に画像を記録する印刷装置であって、複数のノズルと前記複数のノズルを駆動してインク滴を吐出させるための複数の駆動素子とを有する印刷ヘッドと、前記複数の駆動素子に伝送される駆動波形を生成する駆動波形生成回路と、を備え、前記駆動波形生成回路は、前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、前記メモリからそれぞれ所定の読み出しタイミングで1つずつ順次読み出された前記駆動波形データを、一定の累算周期毎に順次累算していく累算部と、前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器と、前記累算部における前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する制御部と、を備える印刷装置。

【請求項 2】 請求項 1 記載の印刷装置であって、前記制御部は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する印刷装置。

【請求項 3】 請求項 1 または 2 記載の印刷装置であって、前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形である印刷装置。

【請求項 4】 駆動素子を駆動させるための駆動波形を生成する駆動波形生成装置であって、前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、前記メモリからそれぞれ所定のタイミングで1つずつ順次読み出された前記駆動波形データを、一定の累算周期毎に順次累算していく累算部と、前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力するデジタル／アナログ変換器と、前記累算部における前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する制御部と、を備える駆動波形生成装置。

【請求項 5】 請求項 4 記載の駆動波形生成装置であって、前記制御部は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する駆動波形生成装置。

【請求項 6】 請求項 4 または 5 記載の駆動波形生成装置であって、前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形である駆動波形生成装置。

【請求項 7】 駆動素子を駆動させるための駆動波形生成方法であって、

(a) 前記駆動波形を生成するための複数の駆動波形データを、それぞれ所定のタイミングで1つずつ順次選択する工程と、

(b) 前記選択された駆動波形データを、一定の累算周期毎に順次累算する工程と、

(c) 前記複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換する工程と、

(d) 前記複数ビットの累算結果を、所定の設定タイミングにおいて前記特定の上位ビットで表される値がゼロではなく、前記特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する工程と、を備える駆動波形生成方法。

【請求項 8】 請求項 7 記載の駆動波形生成方法であって、

前記工程 (d) は、前記特定の上位ビット以外の下位ビットをクリアすることによって、前記累算結果を前記所定の設定値に設定する工程を含む駆動波形生成方法。

【請求項 9】 請求項 7 または 8 記載の駆動波形生成方法であって、

前記所定の設定タイミングは、前記駆動波形の 1 周期の始端と終端に相当するタイミングであり、前記駆動波形は、1 周期の始端と終端における電位が一致する周期的な波形である駆動波形生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、駆動素子を動作させるための駆動波形を生成する技術に関する。

【0002】

【従来の技術】 近年、コンピュータの出力装置として、数色のインクをインクヘッドから吐出するタイプのカラープリンタが普及し、コンピュータ等が処理した画像を多色多階調で印刷するのに広く用いられている。そして、多階調の印刷を実現するために、記録ヘッドのノズルから吐出されるインク滴の重量を制御し、印刷媒体上に形成されるインクドットの大きさを制御することが行われている。

【0003】 従来、インクジェット式プリンタにおいて

(3)

3

は、インクドットを形成するか否かの2値化を行い、一定面積中のいくつの画素にインクドットを形成するかにより印刷画像の中間調を表現するのが一般的であった。しかし、最近では、濃淡のインクを用いて一画素に複数の異なる大きさのインクドットを形成することにより、印刷画像の中間調をより多階調で表現することが可能となっている。

【0004】例えば、ピエゾ素子を用いたインクジェットプリンタでは、大きさの異なるインクドットを形成するためには、記録ヘッドのノズル開口部におけるメニスカス（ノズル開口部におけるインクの表面形状）の制御やインク滴の吐出のタイミングの制御が重要である。したがって、所望のインクドットを形成するために、記録ヘッドのピエゾ素子を動作させる駆動波形を、形成するインクドットの大きさに応じて変化させることが行われている。

【0005】ピエゾ素子を動作させる駆動波形は、予め任意の時間での駆動電圧の絶対値を全てメモリに記憶しておく方法や、ピエゾ素子がコンデンサを形成することを利用して抵抗値の異なる抵抗をピエゾ素子との間でスイッチングする方法により制御されてきた。しかし、前者の場合は駆動波形を記憶しておくためにメモリを多く必要とし、後者の場合は複雑なタイミングのパルス信号を必要とする問題がある。

【0006】これらの問題点を解決するために、駆動波形の任意の時間での電圧の変化量を決め、その値を加算器により順次加算していくことによりプログラマブルに駆動波形を得る方法等が提案されている。

【0007】図8は、駆動波形を生成するための従来の駆動波形生成回路100の内部構成を示すブロック図である。図9は、図8に示した駆動波形生成回路100において駆動波形を生成していく過程を示す説明図である。図8に示す駆動波形生成回路100は、メモリ102と、累算部104と、デジタル／アナログ変換器104とを備えている。メモリ102には、駆動信号COMの波形を示す駆動波形データが格納されている。図9

(a) に示したように、メモリ102から読み出された駆動波形データ ΔV_1 、 ΔV_2 、 ΔV_3 は、累算部104においてクロック信号CLKに同期して順次累算されていく。ここで、駆動波形データとは、クロック信号CLKの1周期t当たりの駆動電圧の変化量を表すデータである。この18ビットの累算結果のうち上位10ビットがデジタル／アナログ変換器106でデジタル／アナログ変換されることによって、駆動信号COMが生成される。

【0008】

【発明が解決しようとする課題】図9の方法において、1画素区間にわたって駆動波形データ ΔV_1 、 ΔV_2 、 ΔV_3 、…を累算した値がゼロになれば、駆動波形の始端と終端のレベルは完全に一致する。しかし、実際に

4

は、1画素区間にわたる駆動波形データの累算値がゼロにならないことも多い。この理由は、駆動波形データを設定する際に演算誤差が生じるからである。例えば、第1の駆動波形データ ΔV_1 は、その累算期間8tにおける電圧変化の設計値 δ_1 を、その期間8tにおける累算周期の数（即ち8）で除算することによって決定される。この除算が割り切れないときには、駆動波形データ ΔV_1 は、丸め誤差を含むことになる。この丸め誤差が、1画素区間の終端における累算値の誤差の原因である。このような誤差はデジタル／アナログ変換の対象とならない下位ビットのビット数を増加させれば減少し、上位ビットに関しては、誤差を0とすることは可能である。しかし、下位ビットに関しては、累算誤差をゼロにすることは困難である。

【0009】従来の駆動波形生成装置では、このような誤差が1画素区間毎に順次蓄積されてゆき、所望の駆動波形からずれた波形が生成されてしまうという問題があった。すなわち、例えば、図10(a)に示した周期Tの駆動波形を得ようとする場合に、図10(b)に示したように、誤差 e_1 が1周期毎に累積されて、駆動波形の始端電位がずれてゆき、所望の駆動波形からずれてしまうという問題があった。

【0010】本発明は、上記の問題を解決することを目的としてなされたものであり、駆動波形の生成過程において駆動波形データを累算する際に、誤差が累積されるのを防止することを目的とする。

【0011】

【課題を解決するための手段およびその作用・効果】上述の課題の少なくとも一部を解決するため、本発明は、駆動波形を生成するための複数の駆動波形データを順次累算し、累算された複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力する。この際、複数ビットの累算結果を、所定の設定タイミングにおいて特定の上位ビットで表される値がゼロではなく、特定の上位ビット以外の下位ビットがすべてゼロになるような所定の設定値に設定する。こうすることにより、駆動波形データの誤差の累積がなくなり、所望の駆動波形を生成することができる。

【0012】なお、特定の上位ビット以外の下位ビットをクリアすることによって、累算結果を所定の設定値に設定してもよい。

【0013】また、所定の設定タイミングは、駆動波形の1周期の始端と終端に相当するタイミングであり、駆動波形は、1周期の始端と終端における電位が一致する周期的な波形としてもよい。こうすることにより、一連の駆動素子の動作毎に駆動電圧の誤差をクリアすることができ、連続した周期的な所望の駆動波形を生成することができる。

【0014】なお、本発明は、印刷装置、駆動波形生成装置、駆動波形生成方法等の種々の形態で実現すること

(4)

5

が可能である。

【0015】

【発明の実施の形態】本発明の実施の形態について、実施例に基づき以下の順で説明する。

A. 印刷装置の全体構成：

B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：

B-2. 駆動波形の生成方法：

B-3. 変形例：

【0016】A. 印刷装置の全体構成：図1は、本発明の印刷装置の全体構成を示すブロック図である。図1に示すように、印刷装置は、コンピュータ90と、制御回路40と、紙送りモータ23と、主走査を行うキャリッジモータ24と、記録ヘッド50と、を備えている。

【0017】コンピュータ90では、所定のオペレーティングシステムの下で、アプリケーションプログラムが動作している。オペレーティングシステムには、ビデオドライバやプリンタドライバが組み込まれており、ディスプレイに画像を表示したり、種々の画像処理が行われる。

【0018】制御回路40は、コンピュータ90からの印刷信号等を受け取るインターフェース41と、各種データの記憶を行うRAM42と、各種データ処理のためのルーチン等を記憶したROM43と、発振回路44と、CPU等からなる制御部45と、駆動波形生成回路46と、紙送りモータ23やキャリッジモータ24や記録ヘッド50に印刷信号や駆動信号を送るためのインターフェース47と、を備えている。

【0019】RAM42は、受信バッファ42Aや中間バッファ42Bあるいは出力バッファ42Cとして利用される。コンピュータ90からの印刷信号は、インターフェース41を介して受信バッファ42Aに蓄えられる。このデータは、中間コードに変換されて中間バッファ42Bに蓄えられる。そして、ROM43内のフォントデータやグラフィック関数等を参照して制御部45により必要な処理が行われ、ドットパターンデータが展開され、出力バッファ42Cに記憶される。ドットパターンデータは、インターフェース47を介して記録ヘッド50に送られる。

【0020】図2は、記録ヘッド50の電気的な構成を示すブロック図である。記録ヘッド50は、ノズルの数に対応した複数のシフトレジスタ51A～51Nと、複数のラッチ回路52A～52Nと、複数のレベルシフタ53A～53Nと、複数のスイッチ回路54A～54Nと、複数のピエゾ素子55A～55Nと、を備えている。印刷信号SIは、発振回路44からのクロック信号CLKに同期してシフトレジスタ51A～51Nに入力される。そして、ラッチ信号LATに同期してラッチ回路52A～52Nにラッチされる。ラッチされた印刷信号SIは、レベルシフタ53A～53Nによりスイッチ

(4)

6

回路54A～54Nを駆動できる電圧まで増幅され、スイッチ回路54A～54Nに供給される。スイッチ回路54A～54Nの入力側には、駆動波形生成回路46からの駆動信号COMが入力され、出力側にはピエゾ素子55A～55Nが接続されている。

【0021】スイッチ回路54A～54Nは、例えば、印刷信号SIが「1」の場合は駆動信号COMをピエゾ素子55A～55Nに供給して動作させ、「0」の場合は遮断して動作させない。ピエゾ素子は、周知のよう

に、電圧の印加により結晶構造が歪み、電気一機械エネルギーの変換を極めて高速に行う素子である。図示しないが、駆動信号COMがピエゾ素子55A～55Nに供給されると、それに応じてピエゾ素子55A～55Nは変形し、インク室の壁も変形する。これによりノズルからのインク滴の吐出を制御する。吐出されたインク滴が印刷媒体に付着することにより印刷が行われる。

【0022】B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：図3は、駆動波形生成回路46の内部構成を示すブロック図である。駆動波形生成回路46は、制御部45から与えられる駆動

波形データを記憶するメモリ60と、メモリ60から読み出された駆動波形データを一時的に保持する第1ラッチ62と、第1ラッチ62の出力と後述する第2ラッチ66の出力を加算する加算器64と、第2ラッチ66と、第2ラッチ66の出力をアナログ信号に変換するデジタル/アナログ変換器70と、を備えている。また変換されたアナログ信号をピエゾ素子が動作する電圧まで増幅する電圧増幅部72と、増幅された電圧信号に対応した電流供給を行うための電流増幅部74も備えている。加算器64と第2ラッチ66とは、駆動波形データを累算する累算部68を構成する。駆動波形生成回路46には、制御部45から種々の信号が供給される。即ち、メモリ60には、第1のクロック信号CLK1と、駆動波形データを表すデータ信号と、アドレス信号A0～A3と、イネーブル信号とが供給されている。また、第1ラッチ62には、第2のクロック信号CLK2と、リセット信号RESETとが供給されている。第2ラッチ66には、第3のクロック信号CLK3と、リセット信号RESETと、後述するフロア信号FLOORとが供給されている。

第1と第2ラッチ62, 66に供給されるリセット信号RESETは、同じものである。なお、この駆動波形生成回路46は、図1に示した制御部45, RAM42およびROM43とともに駆動波形生成装置として機能する。

【0023】B-2. 駆動波形の生成方法：図4は、メモリ60内に駆動波形データを書きこむタイミングを示すタイミングチャートである。駆動波形COMの生成に先立って、駆動波形データを示すデータ信号と、そのデータ信号のアドレスとが、第1のクロック信号CLK1に同期して、制御部45からメモリ60に供給される。

(5)

7

データ信号は1ビットであるが、図4に示したように、第1のクロック信号CLK1を同期信号とするシリアル転送によって、駆動波形データが1ビットずつ転送される。即ち、制御部45からメモリ60へ駆動波形データを転送する場合には、まず、第1のクロック信号CLK1に同期してデータ信号を複数ビット分供給する。その後、このデータを格納するための書きこみアドレスを表すアドレス信号A0～A3と、イネーブル信号とを供給する。メモリ60は、このイネーブル信号が供給されたタイミングでアドレス信号を読み取り、受け取った駆動波形データをそのアドレスに書きこむ。アドレス信号A0～A3は4ビットなので、最大16種類の駆動波形データをメモリ60に記憶しておくことができる。

【0024】図5は、駆動波形生成回路46において駆動波形を生成していく過程を示す説明図である。メモリ60内への駆動波形データの書きこみが終了した後、読み出しアドレスBがアドレス信号A0～A3として出力されると、メモリ60から最初の駆動波形データΔV1が出力される。その後、第2のクロック信号CLK2のパルスが発生すると、この駆動波形データΔV1が第1ラッチ62に保持される。この状態で、次に第3のクロック信号CLK3のパルスが発生すると、第2ラッチ66の18ビットの出力と、第1ラッチ62の16ビットの出力とが加算器64により加算され、その加算結果が第2ラッチ66に保持される。即ち、図5に示したように、一旦、アドレス信号に対応した駆動波形データが選択されると、その後、第3のクロック信号CLK3を受けるたびに、第2ラッチ66の出力には、その駆動波形データの値が累算されていく。

【0025】図5に示した例では、アドレスBには、第3のクロック信号CLK3の1周期t当たりの電圧をΔV1だけ上昇させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2によりアドレスBが有効になると、ΔV1ずつ電圧が上昇していくことになる。また、アドレスAには、駆動波形データとしてΔV2=0、即ち、電圧を保持することを示す値が格納されている。従って、第2のクロック信号CLK2によりアドレスAが有効になると、駆動信号の波形は、増減のないフラットな状態に保たれる。また、アドレスCには、第3のクロック信号CLK3の1周期t当たりの電圧をΔV3だけ低下させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2によりアドレスCが有効になった後は、ΔV3ずつ電圧が低下していくことになる。なお、増加か減少かは、各アドレスに格納されたデータの符号により決定される。

【0026】こうして、加算器64により加算された18ビットの加算結果のうち、上位10ビットの電圧レベルデータD0は、デジタル／アナログ変換器70に入力される。また、18ビットの加算結果全体は、加算器6

8

4に再入力される。この結果、第2ラッチ66から出力される電圧レベルデータD0は、図5(a)に示したように段階的に変化する。この電圧レベルデータD0は、デジタル／アナログ変換器70により変換され、図5(b)に示した駆動波形が形成される。

【0027】図6は、第2ラッチ66の下位8ビットをクリアするタイミングを示すタイミングチャートである。ここでは、1画素区間の周期T毎に、同一の駆動波形が繰り返されるものとしている。1画素区間の始端と終端における電圧レベルデータD0の値VM(以下、「始端レベル」と呼ぶ)は、ゼロでない所定の値を有している。1画素区間の始端と終端は、制御部45内で生成される印刷タイミング信号PTSによって規定されている。印刷タイミング信号PTSは、各画素位置にインクドットを形成する際に、駆動波形の出力の開始を指示する信号である。フロア信号FLOORは、第2ラッチ66の下位8ビットをクリアするタイミングt0を指示する信号である。フロア信号FLOORが制御部45から第2ラッチ66に入力されると、第2ラッチ66の下位8ビットのみがクリアされ、上位10ビットは始端レベルVMに維持される。本実施例では、フロア信号FLOORは、印刷タイミング信号PTSと同じタイミング、すなわち、駆動波形の1周期毎に入力される。この場合は、印刷タイミング信号PTSをフロア信号FLOORとして用いてもよい。また、このタイミングはこれに限定されるものではなく、例えば、第2ラッチ66から出力される電圧レベルデータD0がVMになるタイミングt0、t1等、予め出力値が分かっているタイミングでフロア信号FLOORを入力して、下位8ビットをクリアしてもよい。

【0028】本実施例によれば、駆動波形データの誤差を所定のタイミングでクリアするため、駆動波形データの誤差の累積を防止し、容易に所望の複雑なプロファイルの駆動波形を得ることができる。

【0029】B-3. 変形例：図7は、図3の駆動波形生成回路46の累算部68の変形例(累算部68a)を示すブロック図である。加算器64の前段および第2ラッチ66の後段は、前述した実施例の駆動波形生成回路と同様であるので説明は省略する。本変形例では、加算器64と第2ラッチ66の間にセレクタ67が設けられている。また、セレクタ67には、データレジスタ65が接続されている。

【0030】データレジスタ65に設定されている18ビットの設定値のうち、上位10ビットは、駆動波形の始端レベルVMに等しく、また、下位8ビットはゼロである。フロア信号FLOORが第2ラッチ66およびセレクタ67に入力されると、セレクタ67がデータレジスタ65の18ビットのデータを選択して出力し、第2ラッチ66がこのデータを保持する。この結果、第2ラッチ66に記憶されている18ビットのデータは、上位

(6)

9

10ビットが始端レベルVMに等しく、下位8ビットがゼロである設定値に強制的に書き換えられる。

【0031】このように、累算部68aにおける累算結果を所定のタイミングで所定の設定値に再設定するようすれば、駆動波形データの誤差が累積されるのを防止し、容易に所望の複雑なプロファイルの駆動波形を得ることができる。

【0032】なお、前述した第1実施例の回路においては、フロア信号FLOORに応じて、下位ビットをクリアすることによって、累算結果が所定の設定値、即ち、始端レベルVMに設定されていてものと考えることができる。このように、本明細書において、「累算結果を所定の設定値に設定する」という文言は、累算結果を所定の設定値に強制的に設定する場合に限らず、第1実施例のように、下位ビットのみをクリアすることによって実質的に累算結果を所定の設定値に設定するような場合も含む広い意味を有している。

【0033】以上、本発明のいくつかの実施の形態について説明したが、本発明はこのような実施の形態になら限定されるものではなく、その要旨を逸脱しない範囲内において種々なる態様での実施が可能である。本発明の駆動波形生成装置および駆動波形生成方法は、実施の形態に示した印刷装置に用いられるだけでなく、その他のアクチュエータ等を駆動する駆動波形生成装置、駆動波形生成方法としても適用できる。

【図面の簡単な説明】

【図1】本発明の印刷装置の全体構成を示すブロック図である。

【図2】記録ヘッドの電気的な構成を示すブロック図である。

【図3】本発明の駆動波形生成回路の内部構成を示すブロック図である。

【図4】メモリ内に駆動波形データを書きこむタイミングを示すタイミングチャートである。

【図5】駆動波形を生成していく過程を説明する説明図である。

【図6】本発明の駆動波形生成方法におけるフロア信号を入力するタイミングを説明する説明図である。

【図7】本発明の駆動波形生成回路の累算部の変形例を示すブロック図である。

【図8】従来の駆動波形生成回路の内部構成を示すブロ

(10)

ック図である。

【図9】駆動波形を生成していく過程を説明する説明図である。

【図10】駆動波形の生成過程における誤差の累積を説明する説明図である。

【符号の説明】

23…紙送りモータ

24…キャリッジモータ

40…制御回路

10 41…インタフェース

42…RAM

42A…受信バッファ

42B…中間バッファ

42C…出力バッファ

43…ROM

44…発振回路

45…制御部

46…駆動波形生成回路

50…記録ヘッド

20 51A～51N…シフトレジスタ

52A～52N…ラッチ回路

53A～53N…レベルシフタ

54A～54N…スイッチ回路

55A～55N…ピエゾ素子

60…メモリ

62…第1ラッチ

64…加算器

65…データレジスタ

66…第2ラッチ

30 67…セレクタ

68…累算部

68a…累算部

70…D/A変換器

72…電圧増幅部

74…電流増幅部

90…コンピュータ

100…駆動波形生成回路

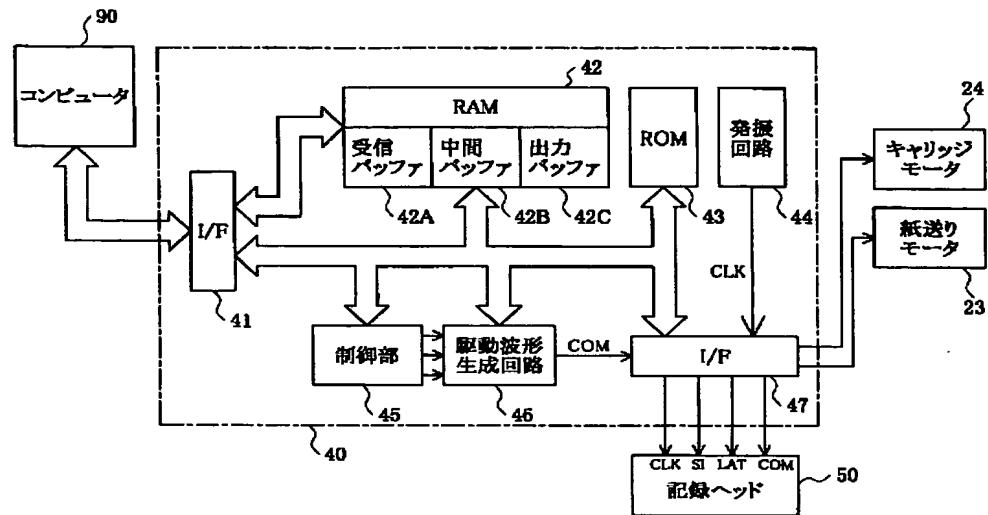
102…メモリ

104…累算部

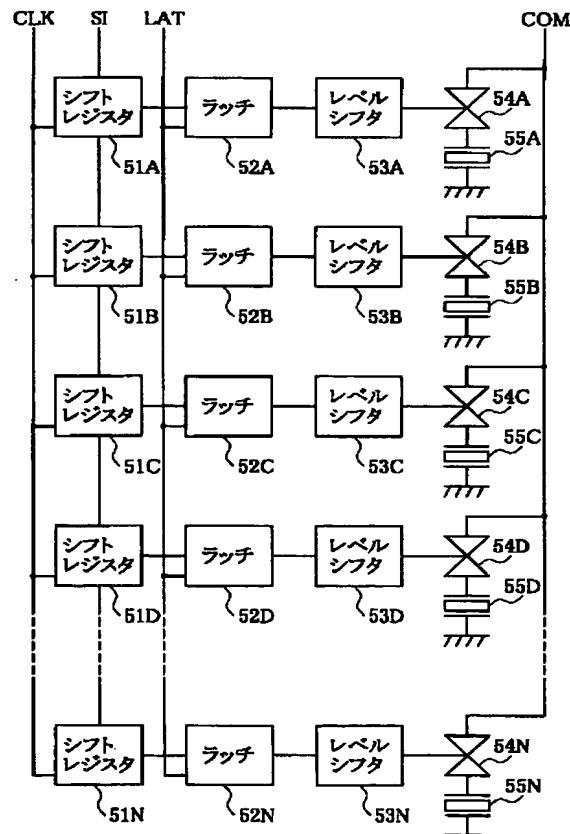
40 106…D/A変換器

(7)

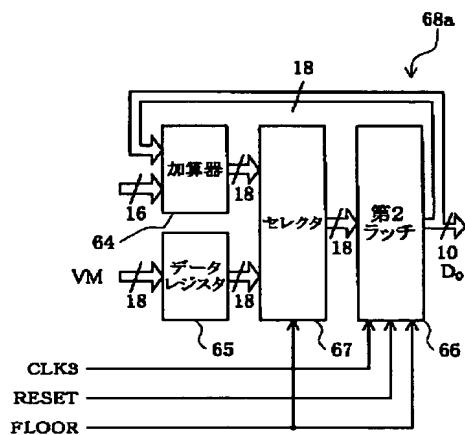
【図1】



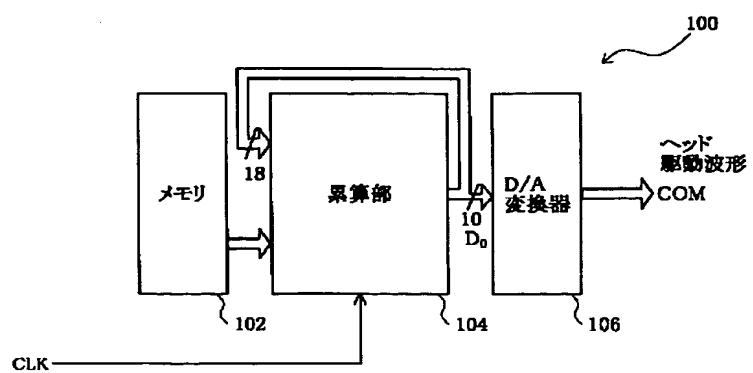
【図2】



【図7】

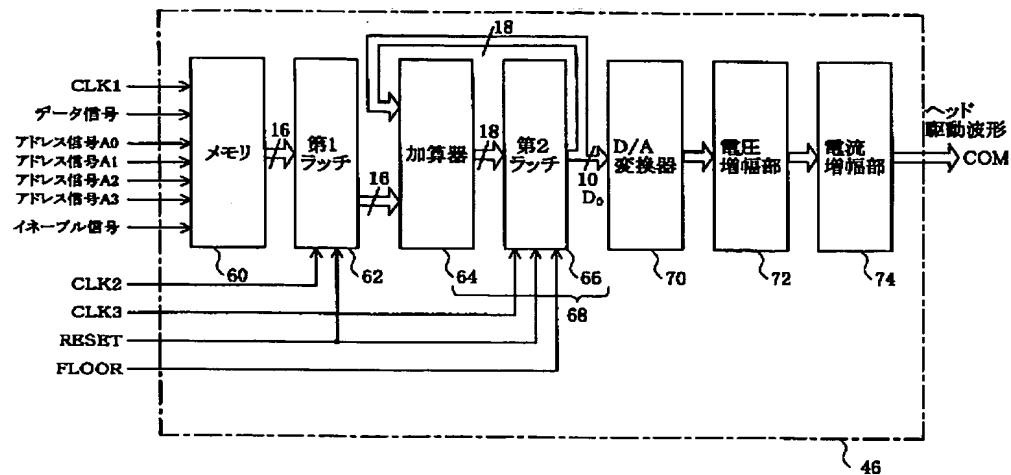


【図8】

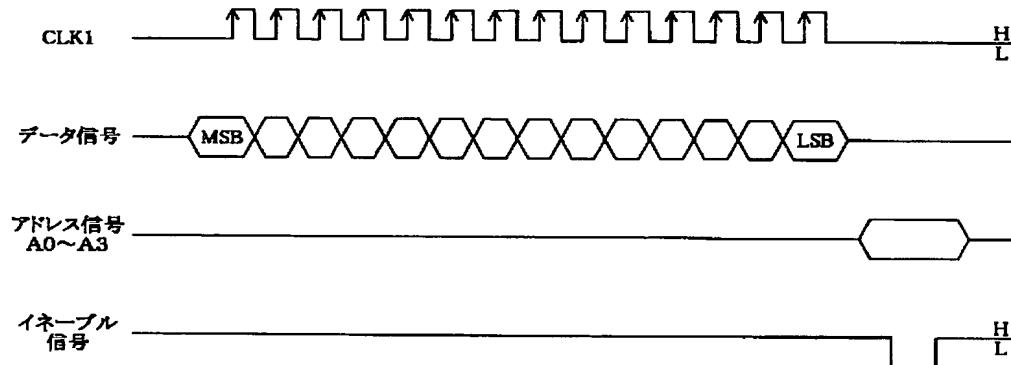


(8)

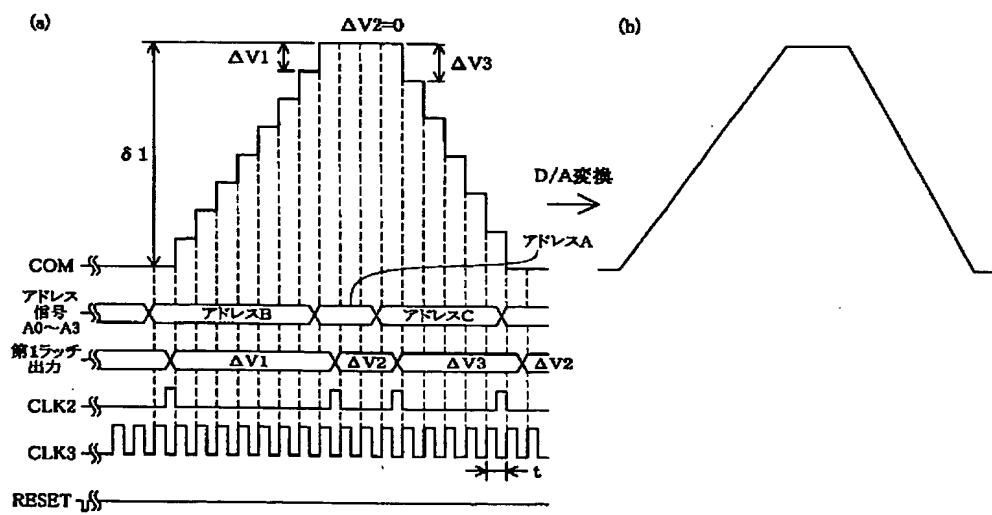
【図3】



【図4】

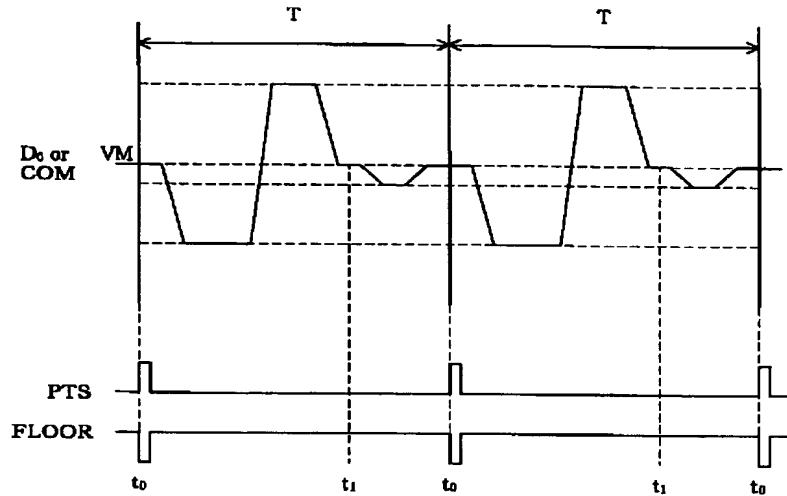


【図5】

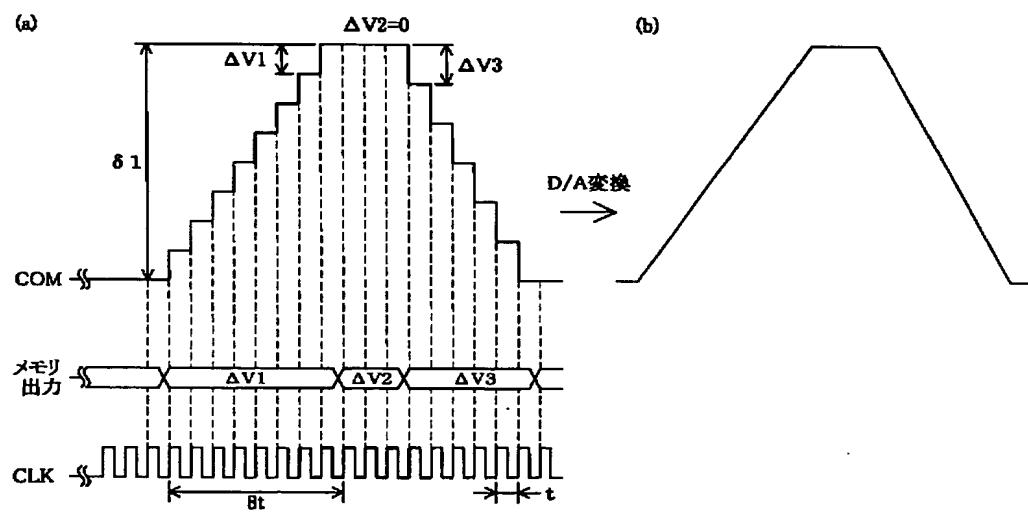


(9)

【図6】

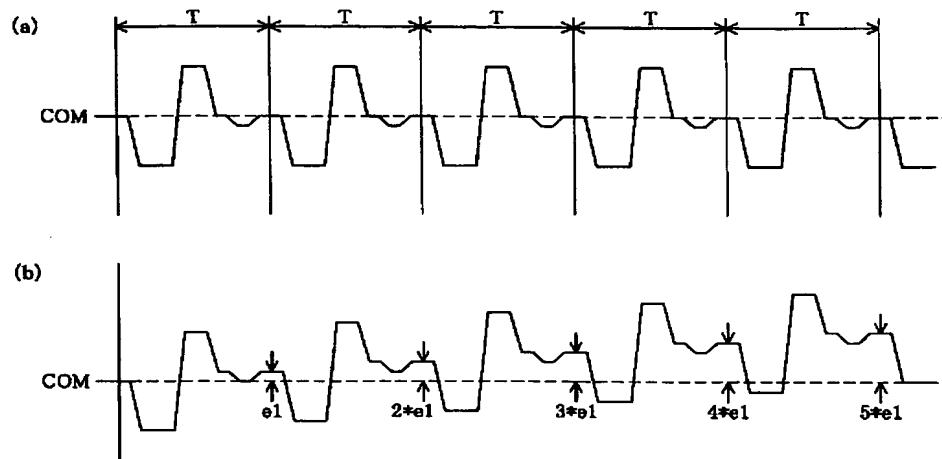


【図9】



(10)

【図10】



フロントページの続き

(72)発明者 朝内 昇
 長野県諏訪市大和三丁目3番5号 セイコ
 一エプソン株式会社内

(72)発明者 田村 登
 長野県諏訪市大和三丁目3番5号 セイコ
 一エプソン株式会社内

(72)発明者 片山 敏彦
 長野県諏訪市大和三丁目3番5号 セイコ
 一エプソン株式会社内

F ターム(参考) 2C057 AF39 AF99 AM03 AM18 AM22
 AN01 AR04 AR08 BA03 BA14
 2C062 AA02 AA14